

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	:	
	:	
Pachinco YANG	:	Group Art Unit: Not Yet Assigned
	:	
Application No.: Not Yet Assigned	:	Examiner: Not Yet Assigned
	:	
Filed: August 27, 2003	:	

For: **INTERRUPT-PROCESSING SYSTEM FOR SHORTENING INTERRUPT LATENCY IN MICROPROCESSOR**

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
Washington, D.C. 20231

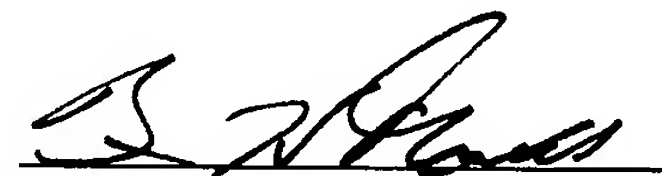
Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Chinese Application No. 092105040 filed March 7, 2003.**

A certified copy of Applicant's priority document is submitted herewith.

Respectfully submitted,

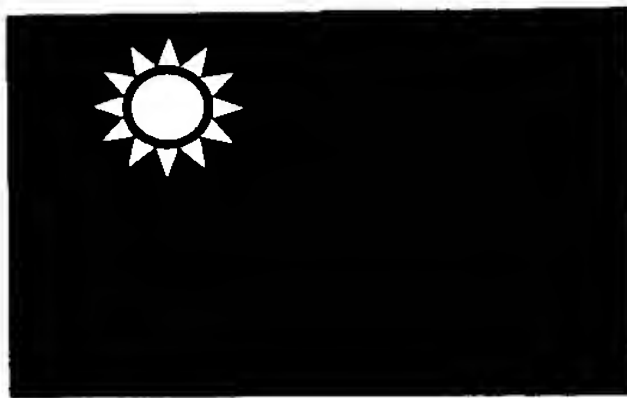
By:



Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: August 27, 2003



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 03 月 07 日
Application Date

申 請 案 號：092105040
Application No.

申 請 人：聯詠科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 14 日
Issue Date

發文字號：09220362280
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種縮短微處理器中斷延遲之中斷處理系統
	英 文	INTERRUPT-PROCESSING SYSTEM FOR SHORTENING INTERRUPT LATENCY IN MICROPROCESSOR
二、 發明人 (共1人)	姓 名 (中文)	1. 楊博欽
	姓 名 (英文)	1. Pachinco Yang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市縣政21街32巷12號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. Novatek Microelectronic Co.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F, No. 13, Innovation Road I, Science-Based Industrial Park, HsinChu 300, Taiwan, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. T. S. Ho

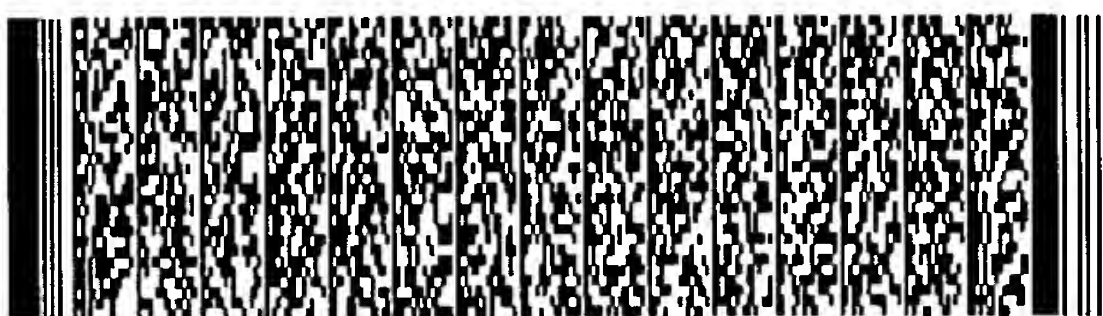


四、中文發明摘要 (發明名稱：一種縮短微處理器中斷延遲之中斷處理系統)

本發明係一資料處理系統，其包括一記憶體模組及一微處理器。該記憶體模組包含至少一低速記憶體以及至少一高速記憶體。該二記憶體同時儲存有一中斷向量表 (interrupt vector table)，用以紀錄一中斷服務程式 (interrupt service routine) 入口指令。該微處理器包含一中央處理單元、一記憶體控制器 (memory controller)。該記憶體控制器並包含一重新定址裝置 (re-addressing device)。當中斷產生時，該中央處理單元會產生一中斷向量位址 (interrupt vector address) 至該記憶體控制器中。如果該重新定址裝置判斷出該位址係落在中斷向量表範圍內，該重新定址裝置會發出一致能信號 (enable signal) 至該高速記憶體中，以使該中央處理單元至該高速記憶體而非預設之低速記憶體中抓取 (fetch) 相對應之中斷服務程式入口指令，並因而縮短中斷延遲時間 (interrupt latency)。

六、英文發明摘要 (發明名稱：INTERRUPT-PROCESSING SYSTEM FOR SHORTENING INTERRUPT LATENCY IN MICROPROCESSOR)

This invention relates to a data processing system comprising a memory module and a microprocessor. The memory module comprises at least a low-speed memory and a high-speed memory, both storing an interrupt vector table for recording the entrance instruction of interrupt service routines. The microprocessor comprises a central processing unit (CPU) and a memory controller with a



四、中文發明摘要 (發明名稱：一種縮短微處理器中斷延遲之中斷處理系統)

五、(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

2：資料處理系統	20：微處理器
22：CPU	24：記憶體控制器
26A：重新定址裝置	28：電源
29：開關	34：高速記憶體
32：低速記憶體	38：中斷服務程式
36：中斷向量表	
60：匯排流	

六、英文發明摘要 (發明名稱：INTERRUPT-PROCESSING SYSTEM FOR SHORTENING INTERRUPT LATENCY IN MICROPROCESSOR)

re-addressing device. Once an interrupt occurs, the CPU generates and transmits an interrupt vector address to the memory controller. If the vector is located in the range of interrupt vector table, the re-addressing device sends an enable signal to the high-speed memory to enable the CPU to fetch the entrance instruction of interrupt service routine from the high-speed memory, not from the



四、中文發明摘要 (發明名稱：一種縮短微處理器中斷延遲之中斷處理系統)

六、英文發明摘要 (發明名稱：INTERRUPT-PROCESSING SYSTEM FOR SHORTENING INTERRUPT LATENCY IN MICROPROCESSOR)

pre-determined low-speed memory. Hence, the interrupt latency is reduced.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

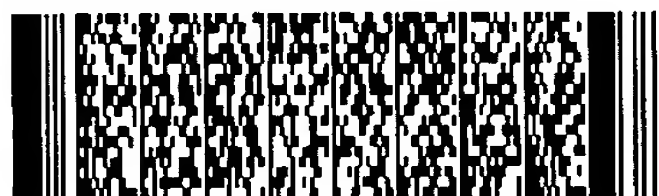
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

一、發明領域

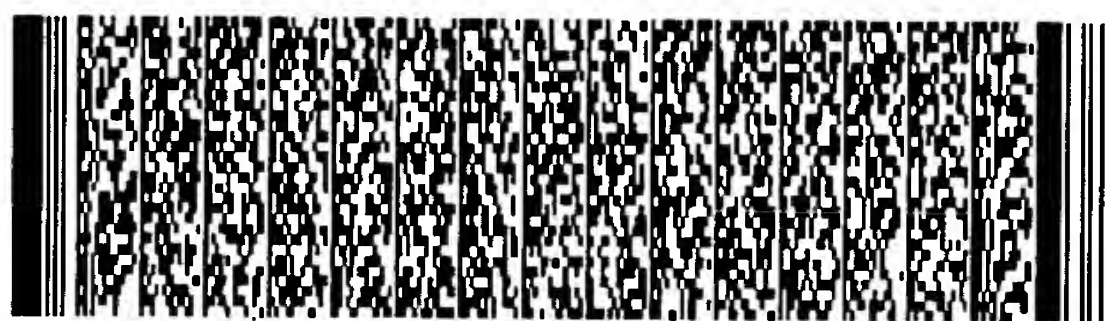
本發明係關於一種資料處理系統，特別是關於一種處理微處理器之中斷延遲的資料處理系統。

二、發明背景

在一般非個人電腦的微處理器中，如數位照相機，其資料處理系統之中斷向量表 (interrupt vector table) 包含有一組向量位址 (vector address)，每一位址並儲存有一中斷服務程式 (interrupt service routine) 入口指令 (也就是說，整個中斷服務程式的第一道指令)。當中央處理單元 (Central Processing Unit, CPU) 接受一中斷請求時，CPU 會讀取該中斷向量表並執行相對應該中斷請求之中斷服務程式。

由於此類資料處理系統中，重開機向量 (reset vector) 與其他向量位址相鄰，當微處理器開機時，CPU 會至重開機向量抓取 (fetch) 整個應用程式的第一道程式指令來執行，因此重開機向量所在位置必須是非揮發性程式記憶體，如可抹除可程式化唯讀記憶體 (Erasable Programmable Read-Only Memory, EPROM) 或快閃唯讀記憶體 (Flash Read-Only Memory, Flash ROM) 等。

但是 CPU 讀取這些非揮發性程式記憶體的度較慢，因此在實際應用上，包含有中斷服務程式在內的整個應用程式會暫時轉移到較為高速的揮發性記憶體供 CPU 執行，以提高執行效能。



五、發明說明 (2)

請參閱圖一，圖一為習知資料處理系統1之功能方塊圖。資料處理系統1包括一組記憶體模組30可用來儲存程式指令(program instruction)與資料(data)，一微處理器20，一電源28以及一匯流排60。

記憶體模組30包含一低速記憶體32與一高速記憶體34。低速記憶體32儲存有一中斷向量表(interrupt vector table)36，用以紀錄至少一中斷服務程式(interrupt service routine)入口指令。

電源28用以提供電能予資料處理系統1。電源28包含一開關29。當電源28被關閉時，儲存於高速記憶體34中之該程式指令以及該資料會跟著消失；而儲存於低速記憶體32中之程式指令以及資料則會保存下來。

微處理器20包含一中央處理單元(Central Processing Unit, CPU)22，以用來執行程式指令以及計算資料。CPU 22之設計係使CPU 22於一中斷產生時預設至低速記憶體32中抓取(fetch)程式指令。

匯流排60用以連接於CPU 22、以及記憶體模組30之間，以用來傳輸程式指令以及資料。

當一中斷產生時，CPU 22會至低速記憶體32之中斷向量表36抓取相對應該中斷之中斷服務程式入口指令，再由此指令轉移至高速記憶體34加以執行。

習知技術由於受到CPU之基本架構的限制，每次中斷產生時，CPU會至低速的非揮發性程式記憶體抓取中斷服務程式入口指令，然後再由此指令轉移到高速的揮發性記



五、發明說明 (3)

憶體執行。這種作法雖然是習知的標準作法，但是也限制了 CPU 的中斷服務效能，若能縮短中斷延遲的處理時間，將可提高系統執行效率。

三、發明概述

本發明之目的係提供一縮短中斷延遲之資料處理系統，以提昇中斷服務效能。

根據本發明之一具體實施例，該資料處理系統包括一組記憶體模組可用來儲存程式指令 (program instruction) 與資料 (data)、一微處理器、一電源以提供電能予該資料處理系統，以及一匯流排。

該記憶體模組包括一低速記憶體與一高速記憶體。該低速記憶體以及該高速記憶體中皆儲存有一中斷向量表 (interrupt vector table)³⁶，用以紀錄至少一中斷服務程式 (interrupt service routine) 入口指令。

該電源包含一開關。當該電源被關閉時，儲存於該高速記憶體中之該程式指令以及該資料會跟著消失；而儲存於該低速記憶體中之該程式指令以及該資料則會保存下來。

該微處理器包含一中央處理單元 (Central Processing Unit, CPU)，以用來執行程式指令以及計算資料。該 CPU 之設計係使該 CPU 於一中斷產生時預設至該低速記憶體中抓取 (fetch) 程式指令。

該微處理器另包含一記憶體控制器 (memory



五、發明說明 (4)

controller)，以使該 CPU 可經由該記憶體控制器之控制，來於該記憶體模組中抓取程式指令以及存取資料。該記憶體控制器並包含一重新定址裝置 (re-addressing device)。

該匯流排用以連接於該 CPU、該記憶體控制器以及該記憶體模組之間，以用來傳輸程式指令以及資料。

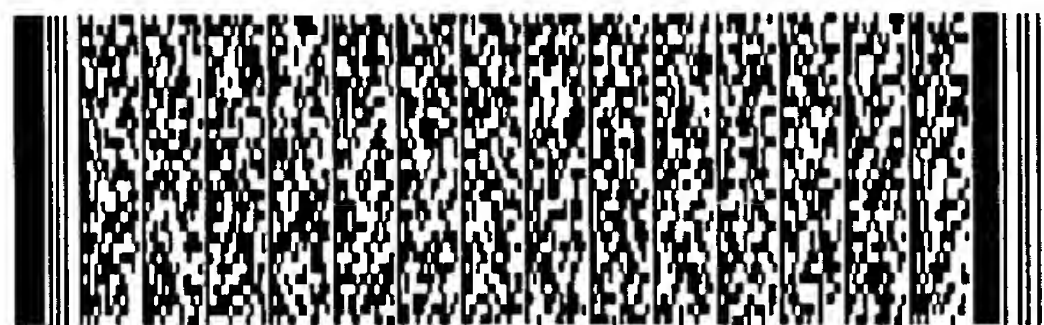
當該中斷產生時，該 CPU 會產生一中斷向量位址 (interrupt vector address) 至該記憶體控制器中。如果該記憶體控制器之該重新定址裝置判斷出該位址係落在中斷向量表的範圍內之時，該重新定址裝置會發出一致能信號 (enable signal) 至該高速記憶體中，以使該 CPU 至該高速記憶體而非預設之該低速記憶體中抓取相對應之該中斷服務程式入口指令，並因而縮短抓取程式指令所造成的中斷延遲時間 (interrupt latency)。

本發明資料處理系統，藉由該重新定址裝置，使 CPU 直接到高速記憶體執行中斷服務程式，而無須再到低速的非揮發性記憶體抓取中斷服務程式入口指令，因此可以縮短中斷延遲。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

四、發明之詳細說明

請參閱圖二，圖二為本發明資料處理系統 2 之功能方塊圖。資料處理系統 2 包括一組記憶體模組 30 可用來儲存



五、發明說明 (5)

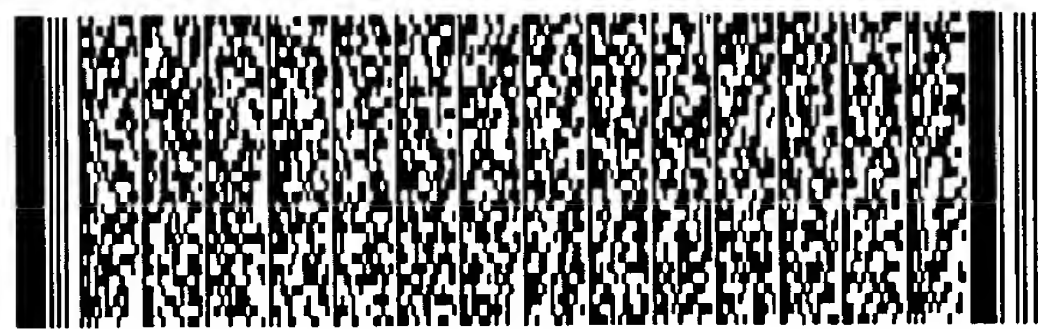
程式指令 (program instruction) 與資料 (data)，一微處理器 20，一電源 28，以提供電能予資料處理系統 2，以及一匯流排 60。

記憶體模組 30 包括一低速記憶體 32 與一高速記憶體 34，低速記憶體 32 以及高速記憶體 34 中皆儲存有一中斷向量表 (interrupt vector table) 36，用以紀錄至少一中斷服務程式 (interrupt service routine) 38 入口指令 (也就是說，中斷服務程式的第一道指令)。

電源 28 包含一開關 29。當電源 28 被關閉時，儲存於高速記憶體 34 中之該程式指令以及該資料會跟著消失；而儲存於低速記憶體 32 中之該程式指令以及該資料則會保存下來。

低速記憶體 32 為一非揮發性 (non-volatile) 記憶體，如可抹除可程式化唯讀記憶體 (Erasable Programmable Read-Only Memory, EPROM) 或快閃唯讀記憶體 (Flash Read-Only Memory, Flash ROM)。低速記憶體 32 中所儲存之中斷向量表 36 與中斷服務程式 38 不會因關機而消失。

高速記憶體 34 為一外接於微處理器 20 之動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM)，其為一揮發性 (volatile) 記憶體。開機後，儲存於低速記憶體 32 之中斷向量表 36 與中斷服務程式 38 會暫時儲存於高速記憶體 34 中。關機後，儲存於高速記憶體 34 之中斷向量表 36 與中斷服務程式 38 會跟著消失。此外，高速記憶體 34 也



五、發明說明 (6)

可為一內建於微處理器 20 之靜態隨機存取記憶體 (Static Random Access Memory, SRAM) (圖中未顯示)。

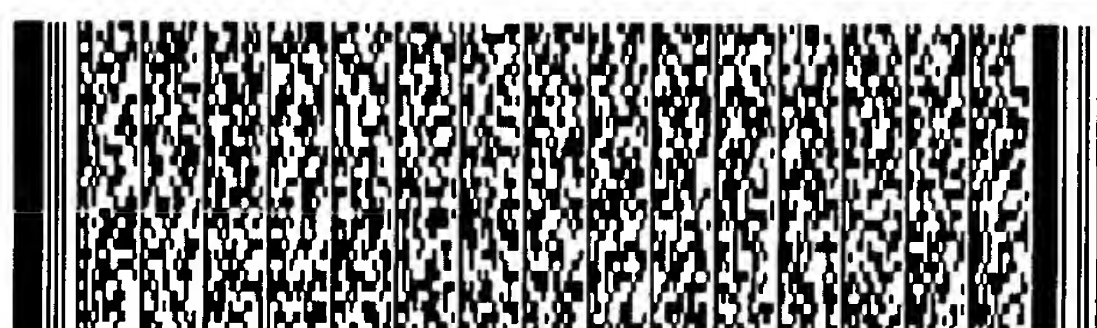
微處理器 20 包含一中央處理單元 (Central Processing Unit, CPU) 22, 用來執行程式指令以及計算資料。CPU 22 之設計係使 CPU 22 於一中斷產生時預設至低速記憶體 32 中抓取 (fetch) 程式指令。微處理器 20 可為一非 PC (personal computer) 架構之微處理器, 例如適用於數位相機。

微處理器 20 另包含一記憶體控制器 (memory controller) 24, 以使 CPU 22 可經由記憶體控制器 24 之控制, 來於記憶體模組 30 中抓取程式指令以及存取資料。記憶體控制器 24 並包含一重新定址裝置 26A (re-addressing device)。

匯流排 60 用以連接於 CPU 22、記憶體控制器 24 以及記憶體模組 30 之間, 以用來傳輸程式指令以及資料。

當該中斷產生時, CPU 22 會產生一中斷向量位址 (interrupt vector address) 至記憶體控制器 24 中。如果記憶體控制器 24 之重新定址裝置 26A 判斷出該位址係落在中斷向量表 36 的範圍內之時, 重新定址裝置 26A 會發出一致能信號 (enable signal) 至高速記憶體 34 中, 以使 CPU 22 至高速記憶體 34 而非預設之低速記憶體 32 中抓取相對應之中斷服務程式 38 入口指令, 並因而縮短抓取程式指令所造成的中斷延遲時間 (interrupt latency)。

請參閱圖三, 圖三為圖二之資料處理系統 2 中重新定



五、發明說明 (7)

址裝置 26A之功能方塊圖，重新定址裝置 26A包含一多工器 42、一第一位址解碼器 44A以及一第二位址解碼器 46A。

第一位址解碼器 44A係用以將 CPU 22所產生之一原始位址 50進行解碼，以判斷原始位址 50是否落在中斷向量表 36的範圍內，並產生一相對應之判斷信號。

一多工器 42，以依據該判斷信號，自 CPU 22所產生之原始位址 50以及一預設的新導向位址 48之間，擇一當作一有效位址。新導向位址 48係可程式化 (programmable)，並預設落在高速記憶體 34之位址範圍內，以有別於低速記憶體 32之位址。

第二位址解碼器 46A則對多工器 42所產生之該有效位址進行解碼，以決定將記憶體控制器 24所產生之致能信號傳送至高速記憶體 34或是低速記憶體 32中。

當第一位址解碼器 44A判斷 CPU 22所產生之原始位址 50落在中斷向量表 36的範圍內時，多工器 42會以預設落在高速記憶體 34位址範圍內之新導向位址 48取代原始位址 50而成為該有效位址，第二位址解碼器 46A會根據該有效位址發出一高速致能信號以致能高速記憶體 34，使 CPU 22直接至高速記憶體 34抓取中斷服務程式 38入口指令，而不會再去讀取低速記憶體 32中的中斷服務程式 38入口指令。

當第一位址解碼器 44A判斷 CPU 22所產生之原始位址 50並非落在中斷向量表 36的範圍內時，多工器 42會以原始位址 50為該有效位址，第二位址解碼器 46A會根據該有效



五、發明說明 (8)

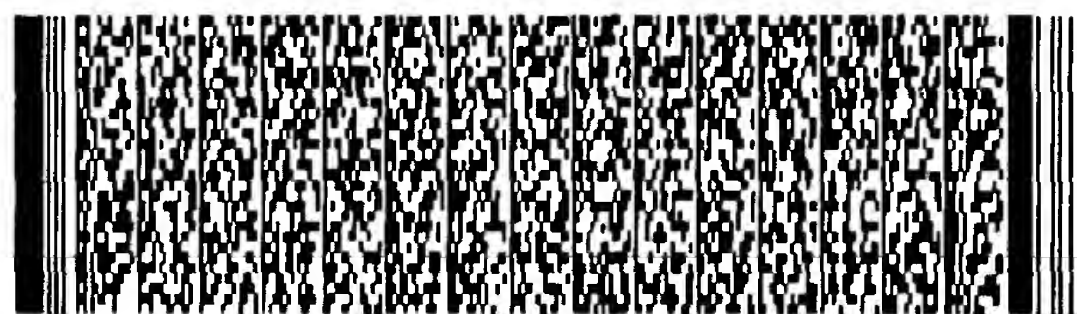
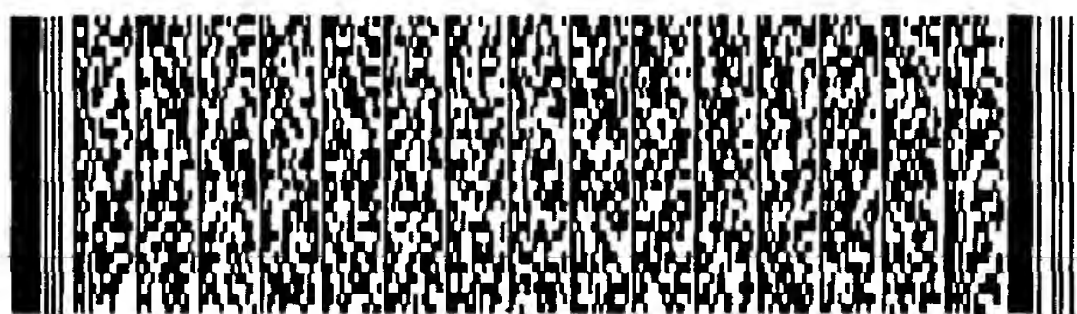
位址傳送一致能信號至原始位址 50 所在的記憶體。

請參閱圖四，圖四為本發明另一實施例資料處理系統 4 之功能方塊圖。本發明之資料處理系統 4 與資料處理系統 2 最主要差別在於資料處理系統 4 另包含一晶片整合型 (on-chip) 之高速記憶體 40。並且，資料處理系統 4 之重新定址裝置 26B 與資料處理系統 2 之重新定址裝置 26A 不同。晶片整合型之高速記憶體 40 亦包含一中斷向量表 36 用以紀錄至少一中斷服務程式 38 入口指令，且上述之向量位址範圍係與低速記憶體 32 的中斷向量表 36 之向量位址範圍相同。其他之元件及功能則近似，在此不再贅述。

當一中斷產生時，CPU 22 會產生一中斷向量位址 (interrupt vector address) 至記憶體控制器 24 中。如果記憶體控制器 24 之重新定址裝置 26B 判斷出該中斷向量位址係落在中斷向量表 36 的範圍內之時，重新定址裝置 26B 會發出一致能信號 (enable signal) 至晶片整合型之高速記憶體 40 中，以使 CPU 22 至晶片整合型之高速記憶體 40 而非預設之低速記憶體 32 中抓取相對應之中斷服務程式 38 入口指令，並因而縮短抓取程式指令所造成的中斷延遲時間 (interrupt latency)。

請參閱圖五，圖五為圖四資料處理系統 4 之重新定址裝置 26B 之功能方塊圖。重新定址裝置 26B 包含一第一位址解碼器 44B，一第二位址解碼器 46B 以及一互斥閘 52。

第一位址解碼器 44B 係用來將 CPU 22 所產生之一原始位址進行解碼，以判斷該原始位址是否落在中斷向量表 36



五、發明說明 (9)

的範圍內，並產生一相對應之晶片整合型致能信號 (on-chip enable signal) 以致能晶片整合型之高速記憶體 40。

第二位址解碼器 46B 用來將 CPU 22 所產生之該原始位址進行解碼，以判斷該原始位址是否落在高速記憶體 34 的位址範圍內，並產生一相對應之高速致能信號 (high-speed enable signal) 以致能高速記憶體 34，或是落在低速記憶體 32 的位址範圍內，並產生一相對應之低速記憶體判斷信號。

互斥閘 (XOR gate) 52 用來接收該晶片整合型致能信號以及該低速記憶體判斷信號以進行互斥運算，並產生一相對應之低速致能信號 (low-speed enable signal) 以致能低速記憶體 32。

相較於習知技術，本發明資料處理系統，藉由該重新定址裝置，使 CPU 直接到晶片整合型高速記憶體抓取中斷服務程式入口指令，而無須再到低速的非揮發性記憶體抓取中斷服務程式入口指令，因此可以縮短中斷延遲。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。



圖式簡單說明

五、圖式之簡易說明

圖一為習知資料處理系統之功能方塊圖。

圖二為本發明資料處理系統第一具體實施例之功能方塊圖。

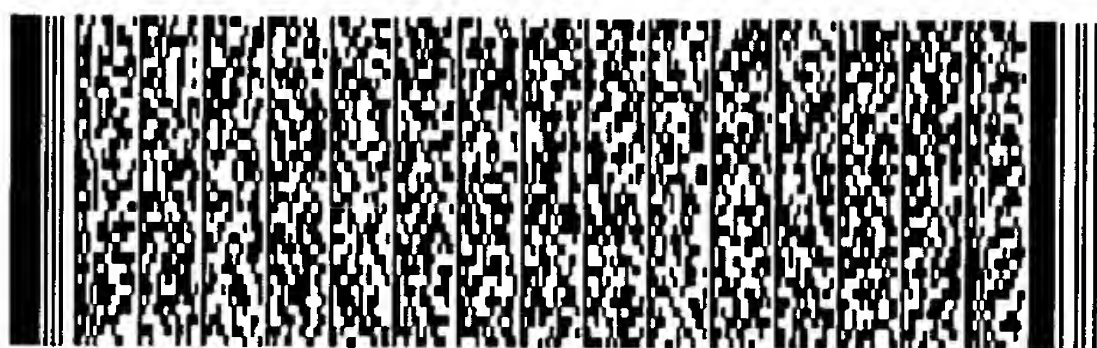
圖三為圖二之資料處理系統中重新定址裝置之功能方塊圖。

圖四為本發明資料處理系統第二具體實施例之功能方塊圖。

圖五為為圖四資料處理系統之重新定址裝置之功能方塊圖。

六、圖式標號說明

1、2、4：資料處理系統	38：中斷服務程式
20：微處理器	40：晶片整合型之記憶體
22：CPU	42：多工器
24：記憶體控制器	44A：第一位址解碼器
26A、26B：重新定址裝置	44B：第一位址解碼器
28：電源	46A：第二位址解碼器
29：開關	46B：第二位址解碼器
30：記憶體模組	48：新導向位址
32：低速記憶體	50：原始位址
34：高速記憶體	52：互斥閘
36：中斷向量表	60：匯流排



六、申請專利範圍

1、一種資料處理系統，包含：

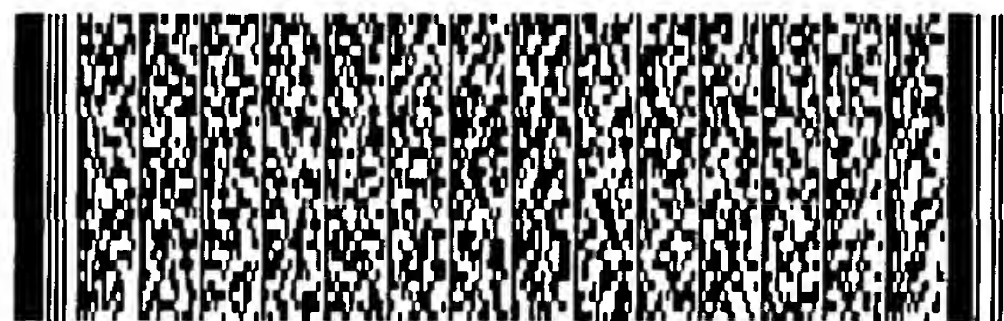
一組記憶體模組，可用來儲存程式指令 (program instruction) 以及資料 (data)，包含有不同存取速度之至少一低速記憶體以及至少一高速記憶體，該低速記憶體以及該高速記憶體中皆儲存有一中斷向量表 (interrupt vector table)，用以紀錄至少一中斷服務程式 (interrupt service routine) 入口指令；以及

一微處理器，包含：

一中央處理單元 (Central Processing Unit, CPU)，以用來執行程式指令以及計算資料，該中央處理單元之設計係使該中央處理單元於一中斷產生時預設至該低速記憶體中抓取 (fetch) 程式指令；以及

一記憶體控制器 (memory controller)，以使該中央處理單元可經由該記憶體控制器之控制，來於該組記憶體模組中抓取程式指令以及存取資料，該記憶體控制器並包含一重新定址裝置 (re-addressing device)；

其中當該中斷產生時，該中央處理單元會產生一中斷向量位址 (interrupt vector address) 至該記憶體控制器中，而如果該記憶體控制器之重新定址裝置判斷出該位址係落在該中斷向量表的範圍內之時，該重新定址裝置會發出一致能信號 (enable signal) 至該高速記憶體中，以使該中央處理單元至該高速記憶體而非預設之該低速記憶體中抓取相對應之中斷服務程式入口指令，並因而縮短抓取程式指令所造成的中斷延遲時間 (interrupt latency)。



六、申請專利範圍

2、如申請專利範圍第1項所述之資料處理系統，其中該重新定址裝置包含：

一第一位址解碼器，用來將該中央處理單元所產生之一原始位址進行解碼，以判斷該原始位址是否落在該中斷向量表的範圍內，並產生一相對應之判斷信號；

一多工器，以依據該判斷信號，自該中央處理單元所產生之該原始位址以及一預設的新導向位址之間，擇一當作一有效位址；以及

一第二位址解碼器，對該多工器所產生之該有效位址進行解碼，以決定將該致能信號傳送至該高速記憶體或是該低速記憶體中。

3、如申請專利範圍第2項所述之資料處理系統，其中該新導向位址係可程式化(programmable)，並預設落在該高速記憶體之位址範圍內，以有別於該低速記憶體之向量位址。

4、如申請專利範圍第1項所述之資料處理系統，其中該微處理器另包含一晶片整合型(on-chip)之高速記憶體，其中亦包含一中斷向量表用以紀錄至少一中斷服務程式入口指令，且上述之向量位址範圍係與該低速記憶體的中斷向量表之向量位址範圍相同。

5、如申請專利範圍第4項所述之資料處理系統，其中該重



六、申請專利範圍

新定址裝置包含：

一 第一位址解碼器，用來將該中央處理單元所產生之一原始位址進行解碼，以判斷該原始位址是否落在該中斷向量表的範圍內，並產生一相對應之晶片整合型致能信號 (on-chip enable signal) 以致能該晶片整合型之高速記憶體；

一 第二位址解碼器，用來將該中央處理單元所產生之該原始位址進行解碼，以判斷該原始位址是否落在該高速記憶體的位址範圍內，並產生一相對應之高速致能信號 (high-speed enable signal) 以致能該高速記憶體，或是落在低速記憶體的位址範圍內，並產生一相對應之低速記憶體判斷信號；以及

一 互斥閘 (XOR gate)，用來接收該晶片整合型致能信號以及該低速記憶體判斷信號以進行互斥運算，並產生一相對應之低速致能信號 (low-speed enable signal) 以致能該低速記憶體。

6、如申請專利範圍第 1 項所述之資料處理系統，其中該低速記憶體為一非揮發性 (Non-volatile) 記憶體。

7、如申請專利範圍第 6 項所述之資料處理系統，其中該非揮發性記憶體為一可抹除可程式化唯讀記憶體 (Erasable Programmable Read-Only Memory, EPROM)。



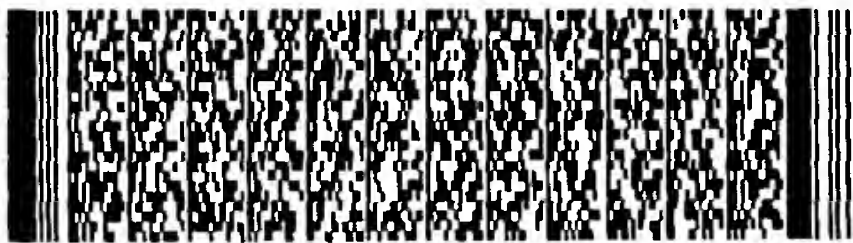
六、申請專利範圍

- 8、如申請專利範圍第6項所述之資料處理系統，其中該非揮發性記憶體為一快閃唯讀記憶體 (Flash Read-Only Memory, Flash ROM)。
- 9、如申請專利範圍第1項所述之資料處理系統，其中該高速記憶體為一揮發性 (volatile) 記憶體。
- 10、如申請專利範圍第9項所述之資料處理系統，其中該揮發性記憶體為一外接於該微處理器之動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM)。
- 11、如申請專利範圍第9項所述之資料處理系統，其中該揮發性記憶體為一內建於該微處理器之靜態隨機存取記憶體 (Static Random Access Memory, SRAM)。
- 12、如申請專利範圍第1項所述之資料處理系統，其中該微處理器係為一非PC架構之微處理器。
- 13、如申請專利範圍第1項所述之資料處理系統，其中該資料處理系統另包含一電源，以提供電能予該資料處理系統，當該電源被關閉時，儲存於該高速記憶體中之程式指令以及資料會跟著消失；而儲存於該低速記憶體中之程式指令以及資料則會保存下來。

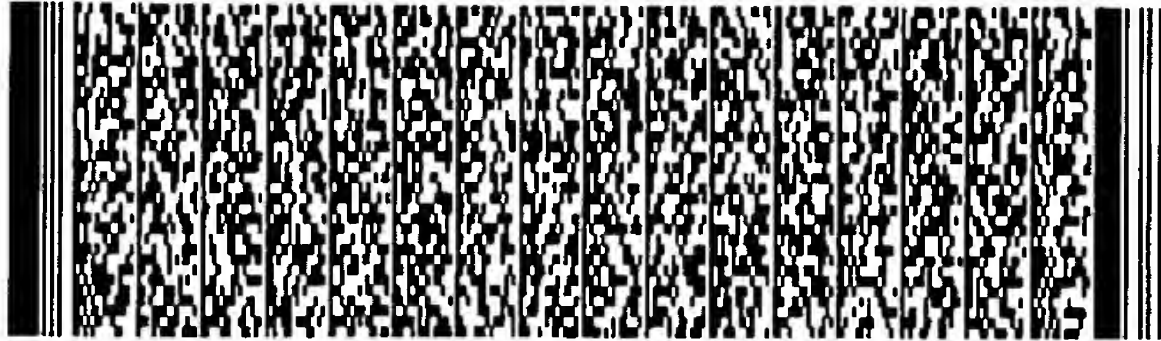


六、申請專利範圍

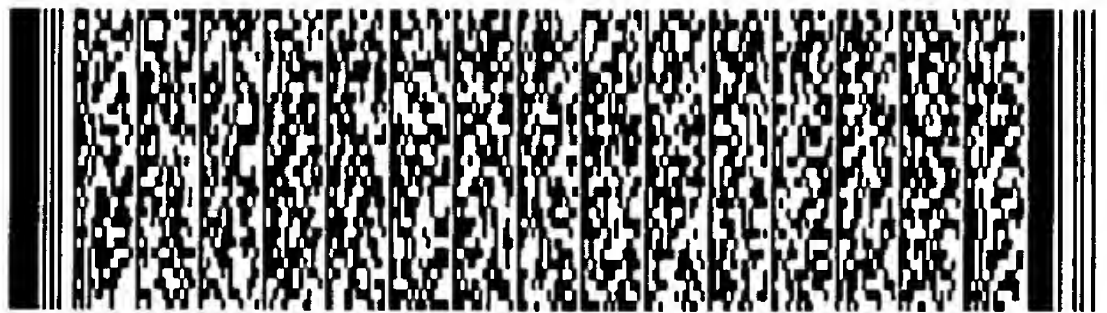
14、如申請專利範圍第1項所述之資料處理系統，其中該資料處理系統另包含一匯流排，連接於該中央處理單元、該記憶體控制器以及該組記憶體模組之間，以用來傳輸程式指令以及資料。



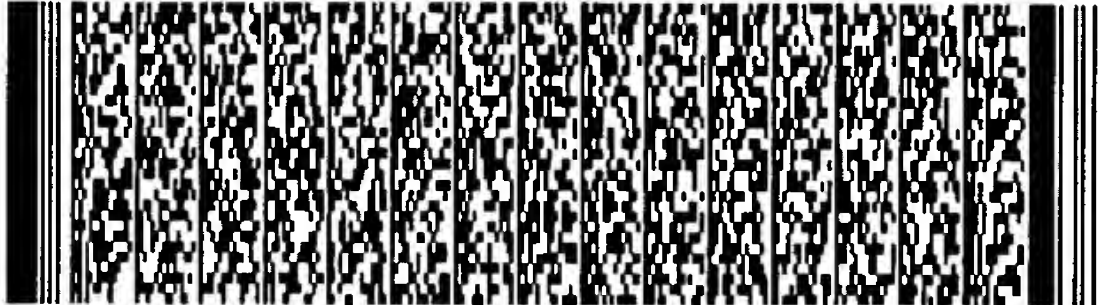
第 1/20 頁



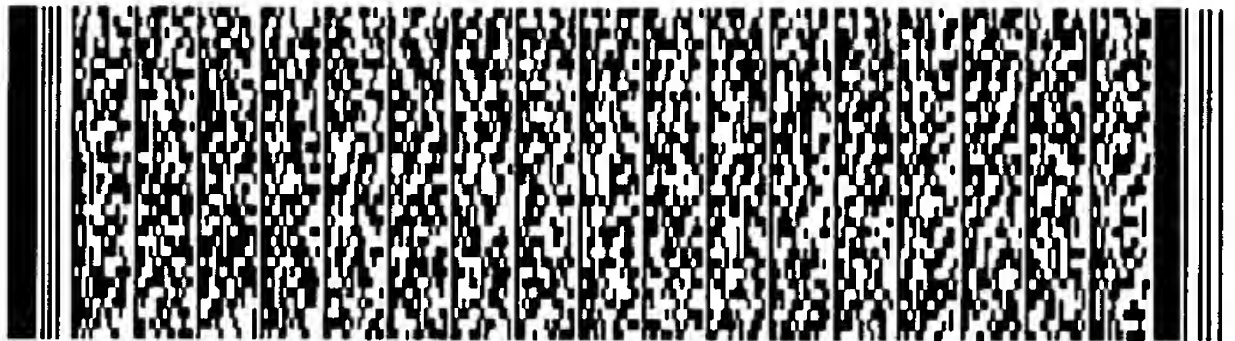
第 2/20 頁



第 2/20 頁



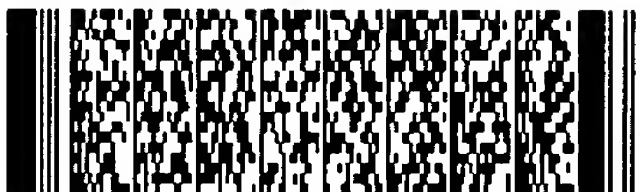
第 3/20 頁



第 4/20 頁



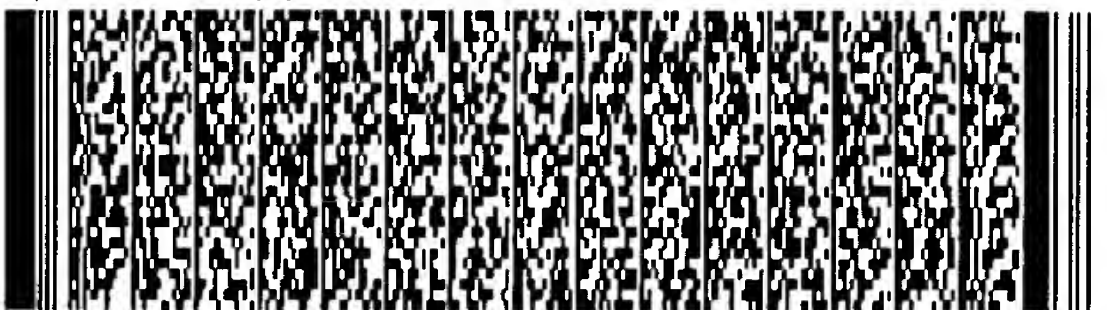
第 5/20 頁



第 6/20 頁



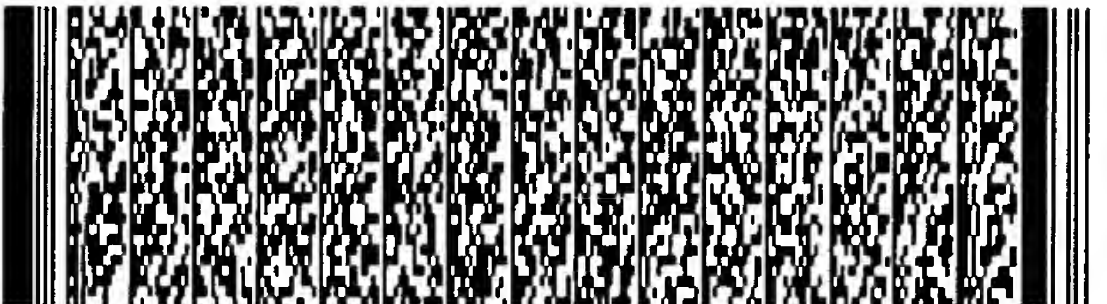
第 6/20 頁



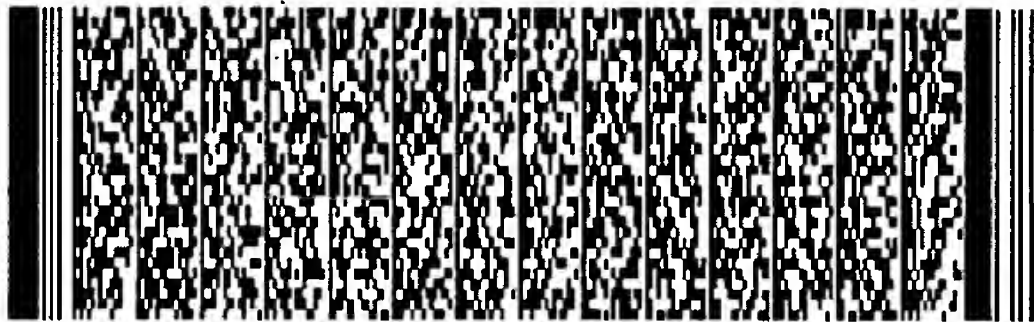
第 7/20 頁



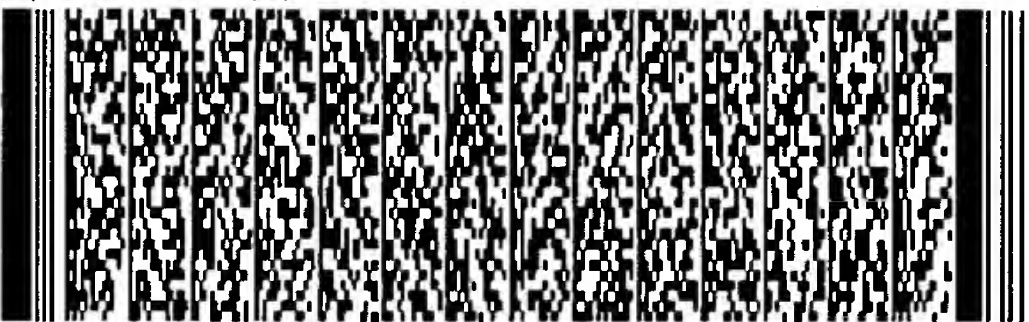
第 7/20 頁



第 8/20 頁



第 8/20 頁



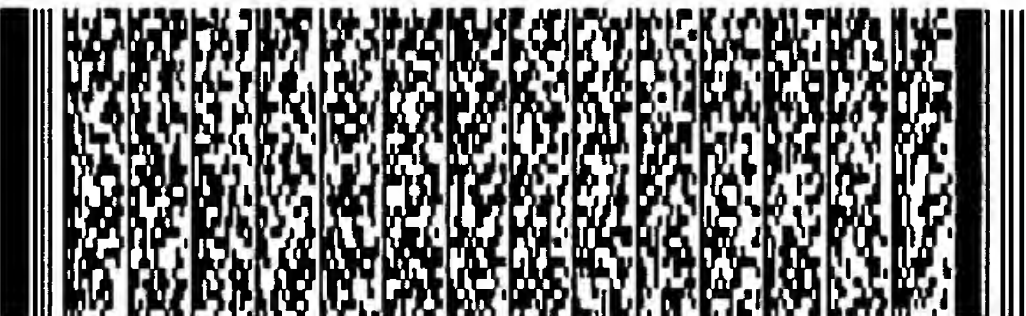
第 9/20 頁



第 9/20 頁



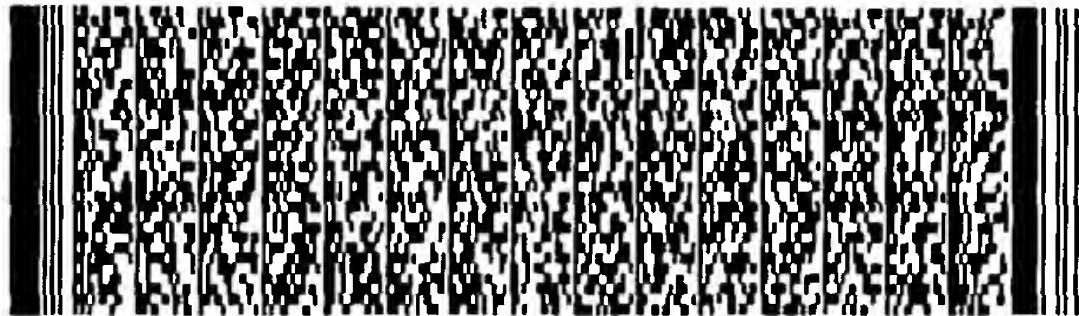
第 10/20 頁



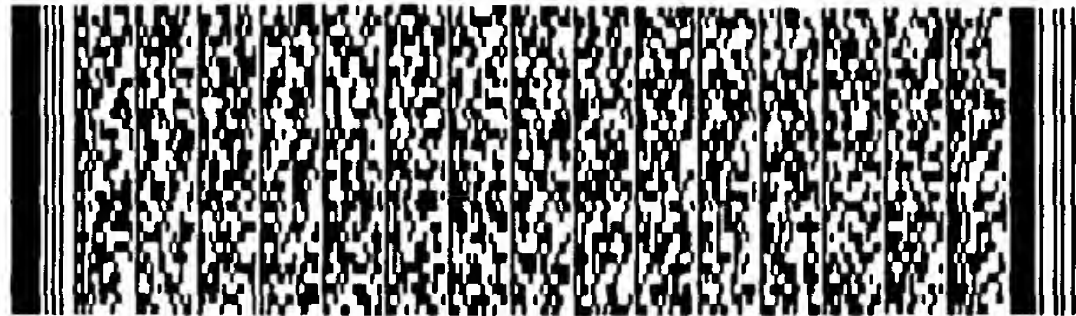
第 10/20 頁



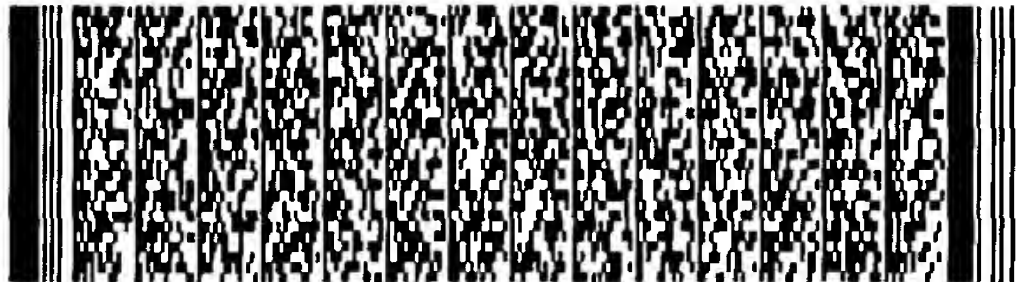
第 11/20 頁



第 11/20 頁



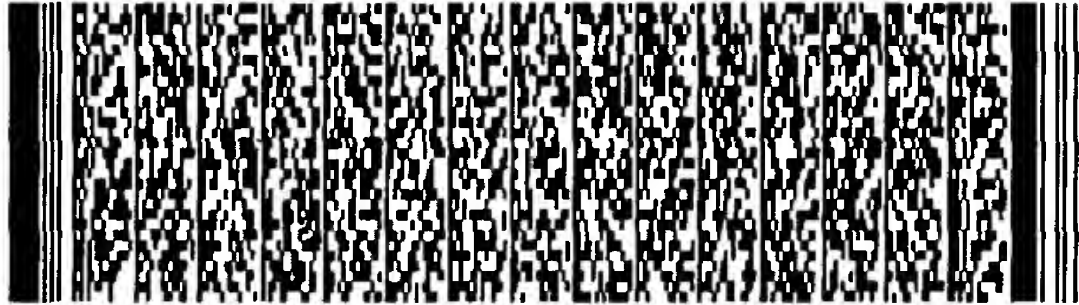
第 12/20 頁



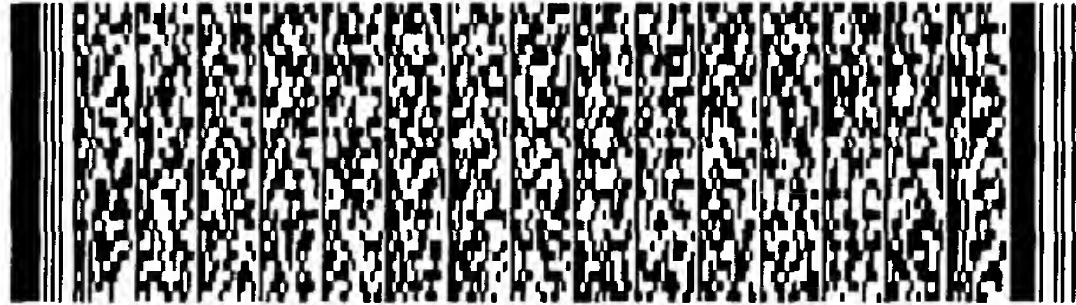
第 12/20 頁



第 13/20 頁



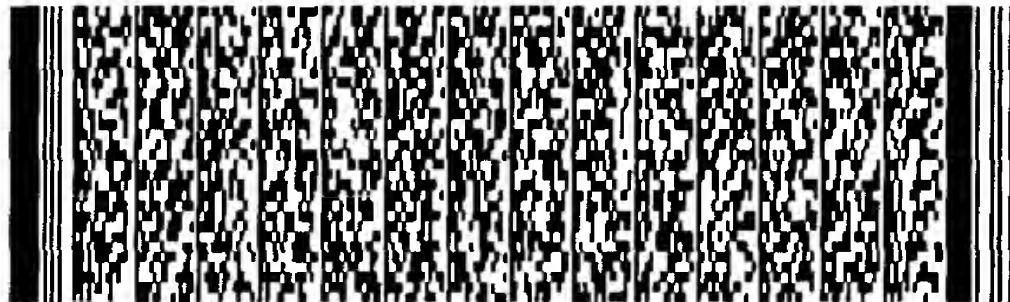
第 13/20 頁



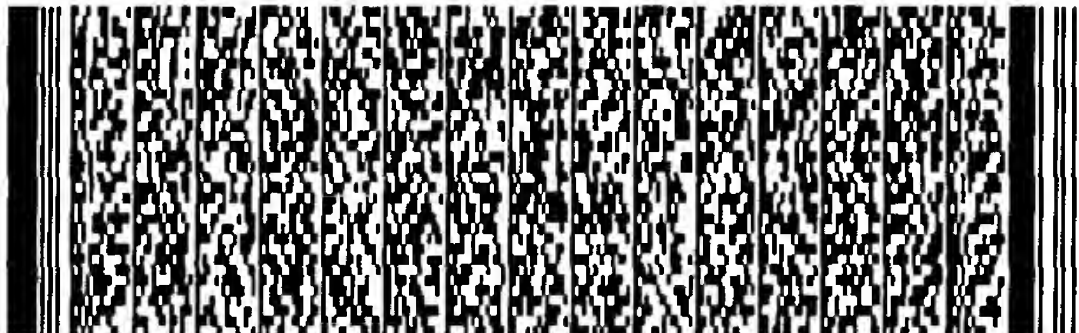
第 14/20 頁



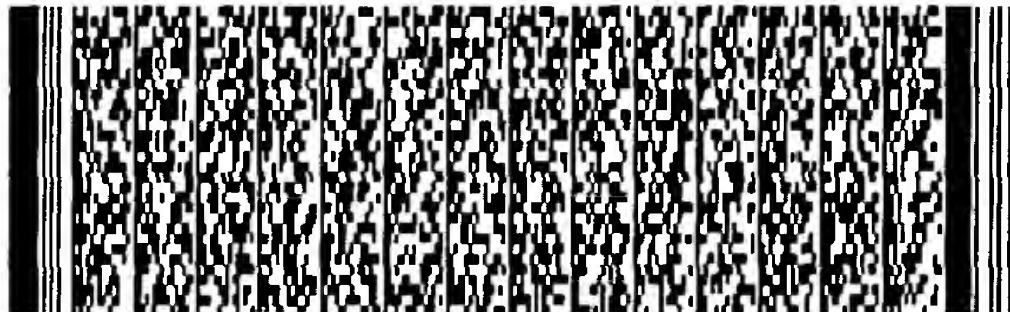
第 14/20 頁



第 15/20 頁



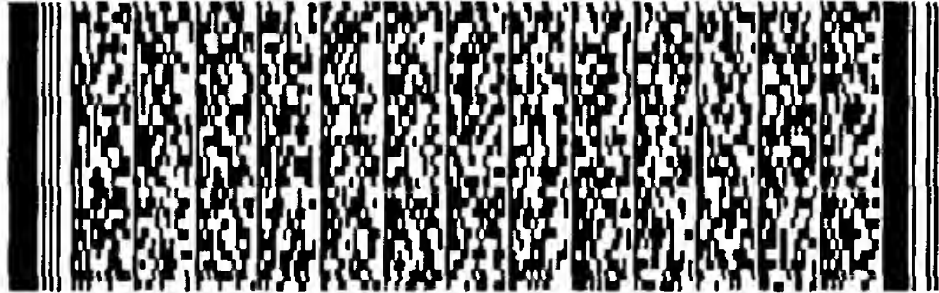
第 16/20 頁



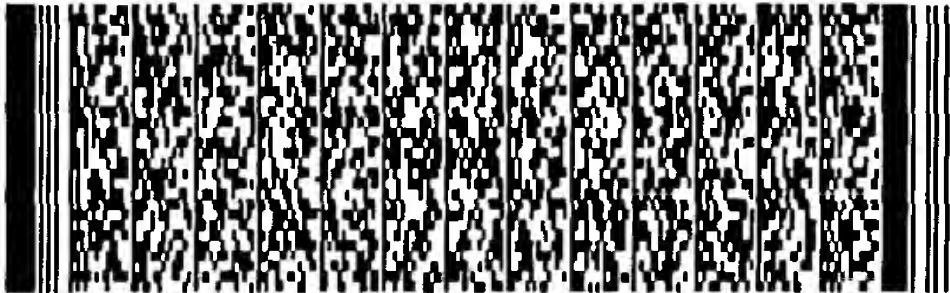
第 16/20 頁



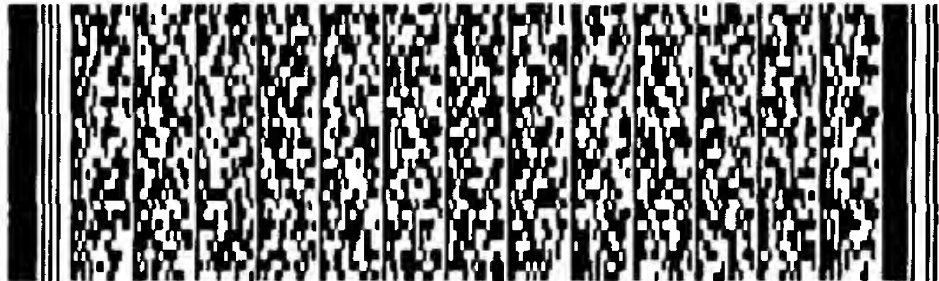
第 17/20 頁



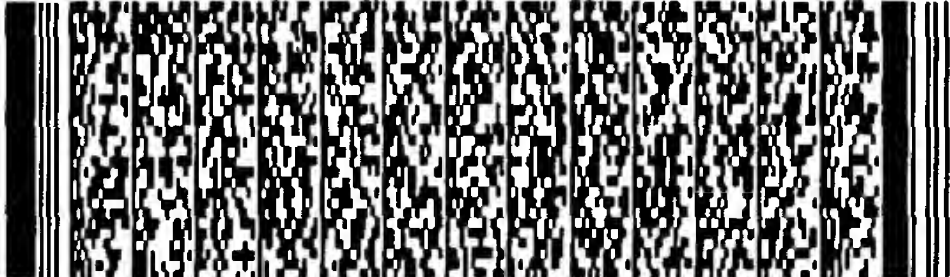
第 17/20 頁



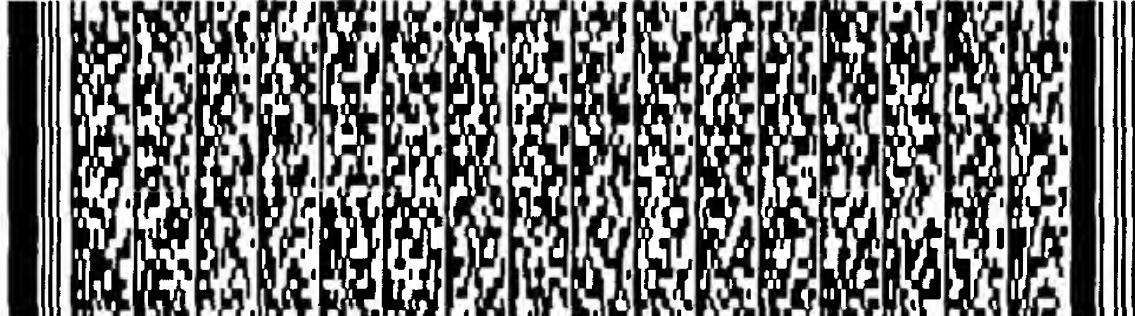
第 18/20 頁

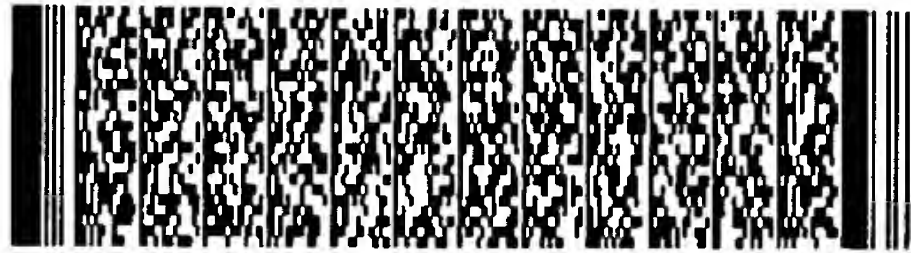


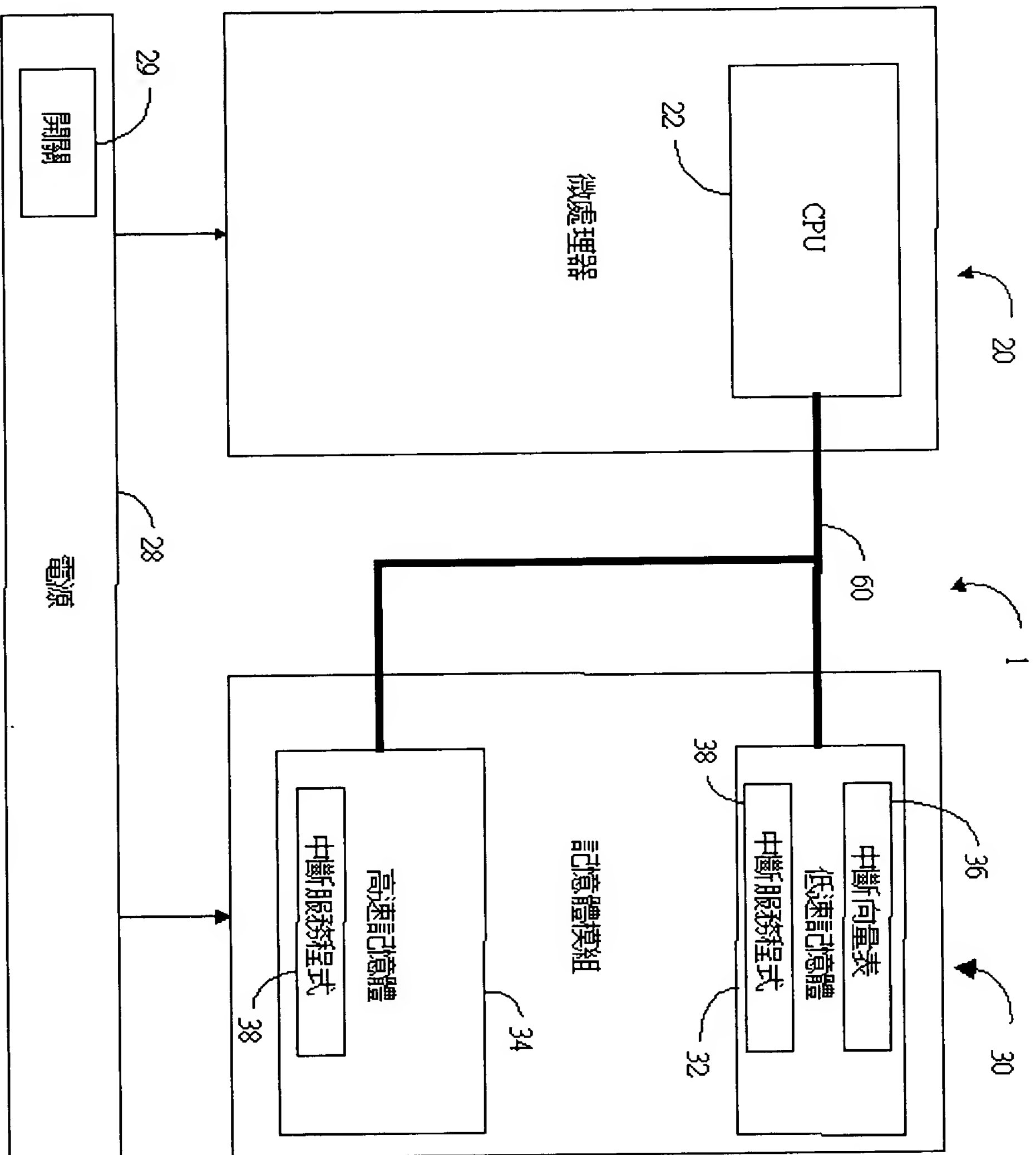
第 18/20 頁



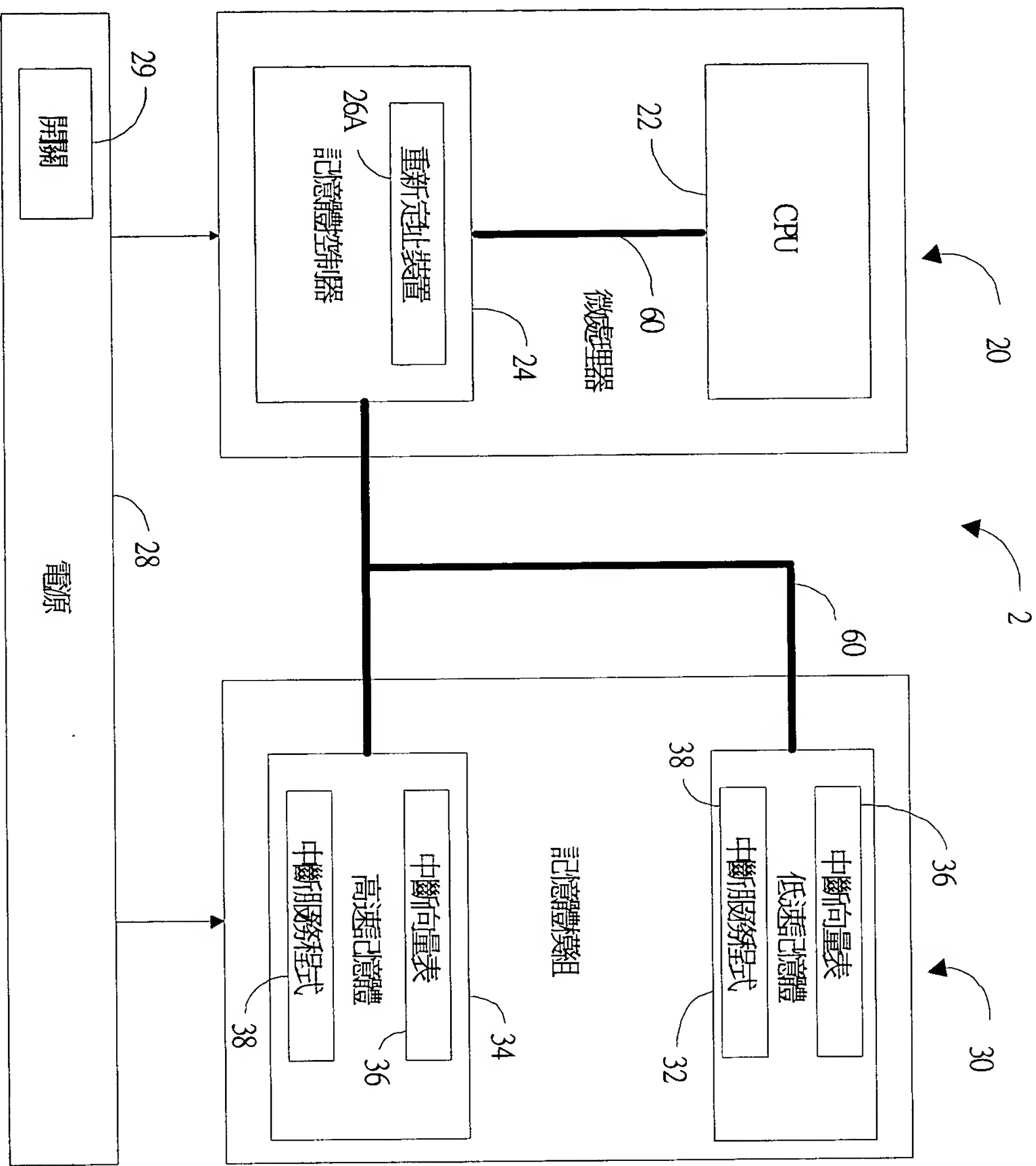
第 19/20 頁





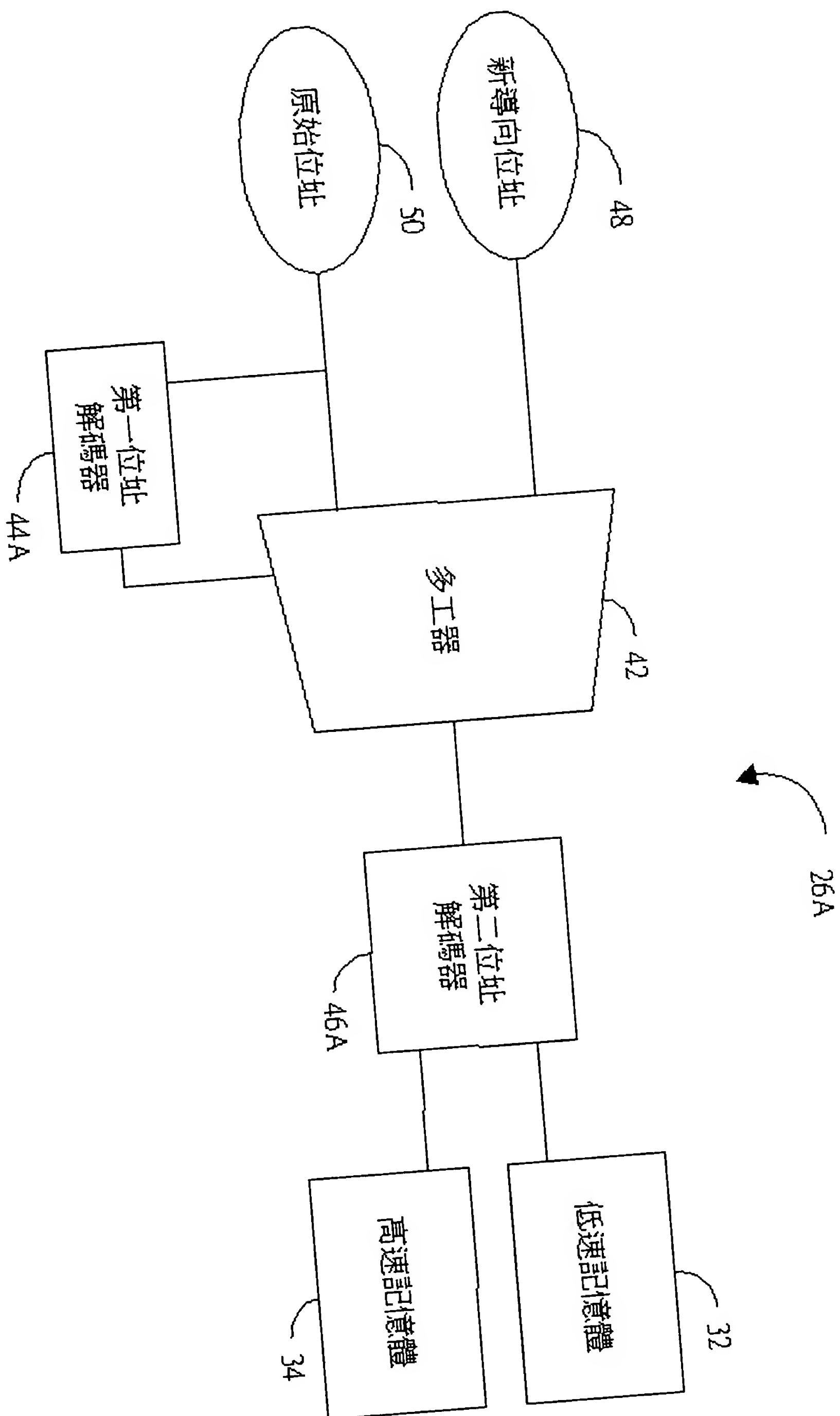


圖一 (習知技術)

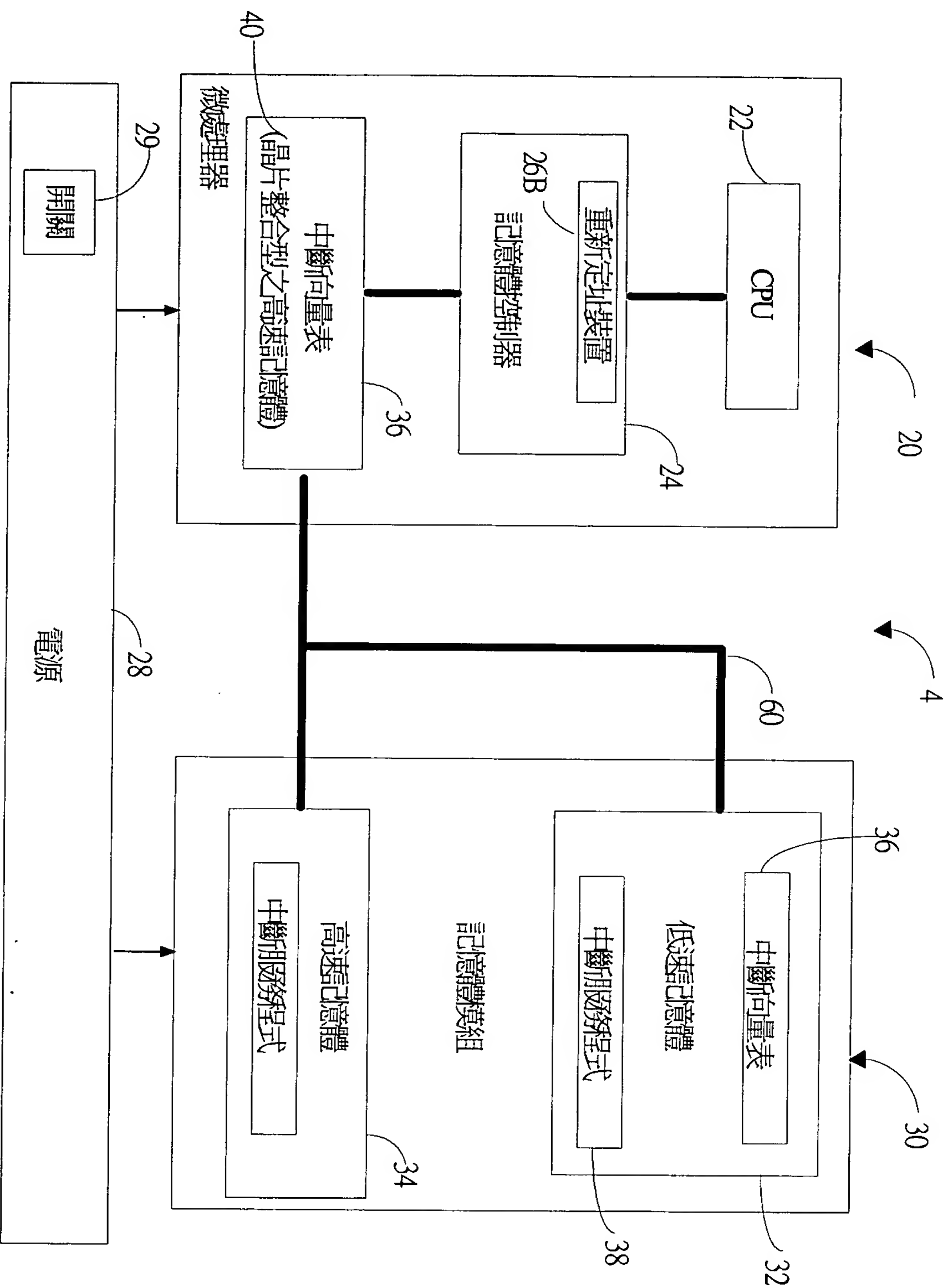


圖二

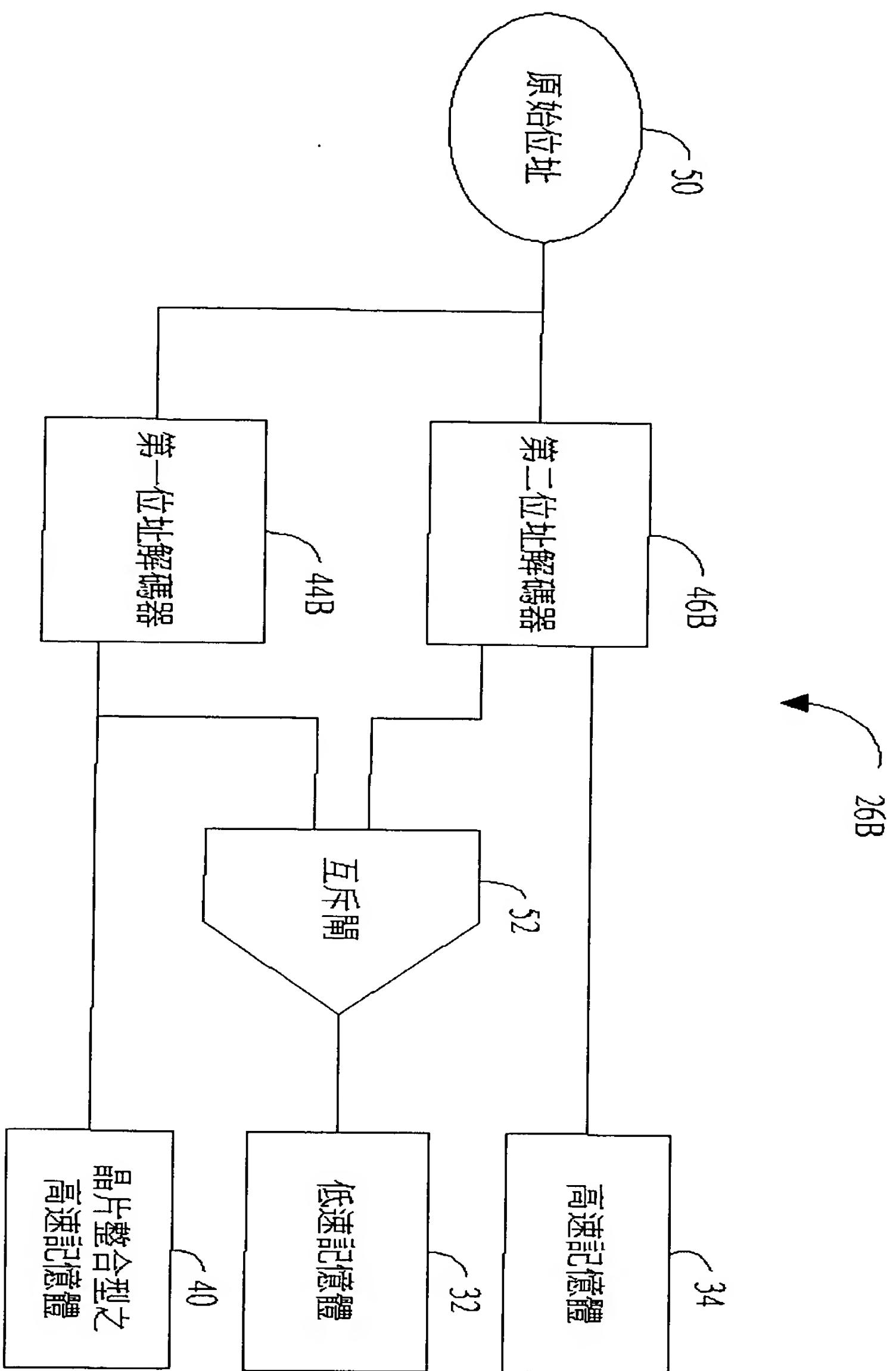
圖式



圖三



圖四



圖五